

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 61-029140
(43) Date of publication of application : 10.02.1986

(51) Int. CI. H01L 21/60
H01L 23/48

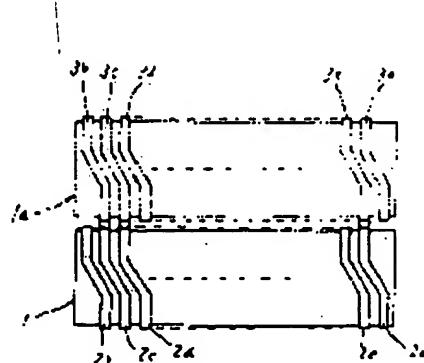
(21) Application number : 59-149497 (71) Applicant : HITACHI LTD
(22) Date of filing : 20.07.1984 (72) Inventor : SAITO KAZUO

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

"PURPOSE: To apply plural times of performance to substrates of approximately the same size by forming the end terminal of an external terminal in a vacant terminal, and forming the chip operating terminal of other external terminal adjacent to other vacant terminal at the opposite side of the end vacant terminal.

CONSTITUTION: A chip select terminal 2b is formed adjacent to other vacant terminal 2c in opposite direction to an end vacant terminal 2a. When a current is flowed to the terminal 2b by controlling a current to the terminals 2b, 2c, only a semiconductor device 1 of lower end can be operated, and when a current is flowed to the vacant terminal 2c of the device 1, a current is flowed to a chip select terminal 3b of the device 1a of upper stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑩ 日本国特許庁 (JP) ⑪ 特許出願公報

○公開特許公報 (A) 昭61-29140

○登録番号
H 01 L 21/60
21/40

類別記号 延内整理番号
6732-5F
6732-5F

⑫ 公開 昭和61年(1986)2月10日

審査請求 不請求 発明の数 1 (全4頁)

○発明の名称 半導体装置

⑬特開 昭59-149497

⑭出願 昭59(1984)7月20日

○発明者 高藤 一男 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
○出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目5番地
○代理人 弁理士 高橋 明夫 外1名

明細書

発明の名称 半導体装置

特許請求の範囲

1. パッケージの前面に複数の端子からなる
積層構造が配置形成され、積層1電極上方のパッケージ上面には、丁度1ピッチずれて前記第1電極と同様の第2電極が形成され、両電極の第1および第2電極どうしが電気的に接続されて形成されてなる外部端子を有する半導体装置であって、
積外端子の一端端子が、搭載されているペレットと直角的に接続されていない空端子であり、
他の外部端子のうち1または2以上のそれぞれが、
前記末端空端子と反対方向の1または隣接形成さ
れている2以上の他の空端子に隣接して形成され
ているチップ作動端子であるや承認。

2. 半導体装置がステテックランダムアクセスメモリであることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. チップ作動端子がチップセレクト端子である
ことを特徴とする特許請求の範囲第1項または第

2項記載の半導体装置。

4. 半導体装置がタイナミックランダムアクセスメモリであることを特徴とする特許請求の範囲第1項記載の半導体装置。

5. チップ作動端子がカラムアドレスセレクト端子またはカラムアドレスセレクト端子であることを特徴とする特許請求の範囲第1項または第4項記載の半導体装置。

発明の詳細な説明

(技術分野)

本発明は電子機器の性能向上に沿用して有効な
技術に関するものである。

(背景技術)

電子機器の小型化に伴い、日々の高密度実装に
適した半導体装置が考案されている。その一つに、
いわゆるリードレスチップキャリア型半導体装置
(以下、LCC型半導体装置と記す。)がある。
このLCC型半導体装置はパッケージの外方に設
置された外部端子を備えていないため、2以上の
LCC型半導体装置のパッケージを近接して実装

特開昭61-20148(2)

することなく、電子計算機の記憶容量を容易に倍増にできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な各技術は、本明細書の記述および添付図面から明らかになるであろう。

(発明の概要)

本発明において説明される発明はうち代表的なものの要旨を簡単に説明すれば、次の通りである。

すなわち、パッケージの裏面に複数の実装用電極が配列形成され、該電極と電気的に接続されている電極が該パッケージ上面に、丁度1ピッチずらして形成してなる半導体端子を備えてなる半導体装置について、該外部端子の末端端子を搭載されているペレットと電気的に接続されていない空端子とし、他の外部端子のうち1または2以上のチップ作動端子のそれぞれを、または隣接形成されている2以上の他の空端子に前記末端空端子の反対側ではなされて形成することにより、上の半導体装置について、ケージ上面の電極に、他の同一機能を備えた半導

することができるので、電子機器の小型化に有効なものである。

しかし、前記した**①**型半導体装置は平面的実装方法であるため、パッケージ寸法より密度を上げることは不可能である。したがって、たとえ前記した**①**型半導体装置が電子計算機のメモリードSM（大規模集積回路）である場合は、該電子計算機の記憶容量を2倍または3倍以上にするためにには、少なくとも2倍または3倍以上の面積の実装基板が必要になり、それだけ装置全体を大型にしなければ記憶容量を倍数倍に高めた電子計算機を形成することができないという問題がある。

なお、同じ**①**型半導体装置について、たとえば昭和58年1月26日開催イエンスフォーラム発行の「超しS¹デバイスハンドブック」第225ページ以下に説明されている。

(発明の目的)

本発明の目的は、電子機器の小型化に適用して有効な技術を提供することにある。

本発明の目的は、装置の大きさをほとんど変え

半導体装置を、そのパッケージ裏面の実装用電極を電気的に接続された状態で取り付けて2以上の半導体装置を垂直床する場合であっても、各半導体装置を独立して作動させることができることにより、平面的に実装する場合に比べ、ほぼ同一寸法の実装基板に複数個の形状を転写することが可能となるため、前記目的を達成されるものである。

(実施例1)

第1図は本発明による実施例1である半導体装置の概略をその使用様式とともに側面図で示すものである。

本実施例の半導体装置1は、スクティックランダムアクセスマトリ（以下、SASMと記す。）であり、そのパッケージがセラミックからなる、いわゆる**②**型半導体装置である。

前記半導体装置は、パッケージ裏面に面付実装可能な電極を有し、パッケージ上面には表面電極と同時に面付実装される電極が、丁度1ピッチ左へずらして配置されており、かつ両端子の上面と裏面に形成されている電極どうしを、パッケ

ジ側面のメタライズで電気的に接続して形成する外部端子を備えてなるものである。また、前記外部端子のうち、右端の外部端子は搭載されているペレット電気的に接続されていない空端子としてあり、左端の外部端子はチップセレクト（CHIP SELECT）端子（以下、CS端子と記す。）2つで、同じCS端子2の右端の外部端子は空端子2cである。すなわち、前記CS端子2bは末端空端子2cと反対方向の他の空端子2aに接続して形成されているものである。

本実施例の半導体装置は、第1図に仮想線で示す如く、同一の半導体装置1をその裏面電極で下部半導体装置1の上面電極が半導体の接合部を介して電気的に導通するように取り付けることにより、半導体装置1および1aをそれぞれ独立して作動させることができるものである。

すなわち、右端子2aと左端子2cへの電流を制御してCS端子2bの方に電流を流す場合は、下段の半導体装置1のみを作動させることができる。該半導体装置1の上方に電源

特開昭61-29140(3)

）であり、前記実施例1とはほぼ同様のしてこの第2半導体装置である。

本実施例2の半導体装置においては、2つのチップ作動端子を有し、この2つの端子が接続して複数半導体装置を作動させることができるものである。すなわち、左端の外部端子21はロウアドレッセキシク（LOW ADDRESS SELECT）端子（以下、RAS端子と記す。）であり、右CAS端子21の右側に接続して空端子23が形成され、さらに右方向の外部端子21はカラムアドレスセレクト（COLUMN ADDRESS SELECT）端子（以下、CAS端子と記す。）であり、右CAS端子21の右側には接続して空端子23が形成されている。したがって、本実施例2においても、チップ作動端子であるRAS端子21およびCAS端子21のそれそれか、末端端子23と反対方向で他の空端子23および24に接続して形成されている関係にある。

本実施例の半導体装置も、第1回に示すように2段重ねして取り付けても、それぞれ独立して作

動させることができるものである。すなわち、RAS端子21およびCAS端子21に電流を使すことにより下段の半導体装置1のみを作動させることができ、空端子23および24に電流を流すことにより、結果として上段の半導体装置1のRAS端子31およびCAS端子31に流すことになるため、上段の端子を作動させることができとなる。その他は実施例1とはほぼ同様であり、本実施例の場合も記憶容量を容易に倍増することができるものである。

〔動作〕

甲、パッケージの裏面に複数の実効用端子が配列形成され、該電極と電気的に接続されている電極がはがれカージ上面に、裏面に形成されている熱記憶素子と1度1ピッチずらして形成してなる外部端子を備えてなる半導体装置であって、該外部端子の末端の端子を接続されているペレットと電気的に接続されていない空端子とし、他の外部端子のうち1または2以上のチップ作動端子のそれそれを、1または4個以上接続されている2以上の他の

空端子に前記末端空端子の反対方向で接続させて形成することにより、1の半導体装置のパッケージ上面の電極に他の同一端子を備えた半導体装置を、そのパッケージ裏面の電極に電気的に接続された状態を取り付けて2以上の半導体装置を並行使用する場合であっても、各半導体装置を独立して作動させることができるので、記憶寸法をほぼ同一のままに複数倍の性能を有する電子装置を提供することができる。

四、前記甲と同一の効果により、電子機器の大巾を小型化が可能となる。

即、チップ作動端子がチップセレクト端子である場合、前記例により、装置の大きさをほとんど変えることなくまたは3倍以上のSRAMを実装することができるので、電子計算用の記憶容量を、容易に2または3倍以上にすることが可能である。即、チップ作動端子がロウアアドレスセレクト端子およびカラムアドレスセレクト端子である場合、前記例と同様に装置の大きさをえんことなく、2または3倍以上のDRAMを備えた電子計算用

特開昭61-29140(4)

なお、前記実施例では2段に重ねて使用するものについて説明したが、これに限らず、チップ作動端子を複数する空端子をもまたは2以上で形成することにより、3段または4段以上に重ねて使用することも当然にできるものである。

また、下段半導体装置の上面電極に上段の加熱電極を取り付ける方法としては、半導体の接合等を用いる例を示したが、これに限るものではなく接着剤を介して取り付けるもよいことはいうまでもない。

〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野であるセミコンダクタからなるLCC型半導体装置に適用した場合について説明したが、それと限定されることはなく、たとえば、同様の使用が可能である他のパッケージからなる半導体装置であって、セミコンダクタ以外の材料からなるものであっても当然に適用することができる技術である。

図面の簡単な説明

第1図は本発明による実装版1の半導体装置をその使用の態様とともに示す側面図。

第2図は本発明による実装版2の半導体装置をその使用の態様とともに示す側面図である。

1. 1a...半導体基板、2a. 3a...未端空端子、2c. 3c. 2g. 3g. 2j. 3j...空端子、2b. 3b...チップセレクト端子、2f. 3f...RAS端子、2l. 3l...CAS端子。

代理人弁理士高橋明夫

